

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-074311
 (43)Date of publication of application : 17.03.1995

(51)Int.Cl.

H01L 27/04
 H01L 21/822

(21)Application number : 05-220364

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.09.1993

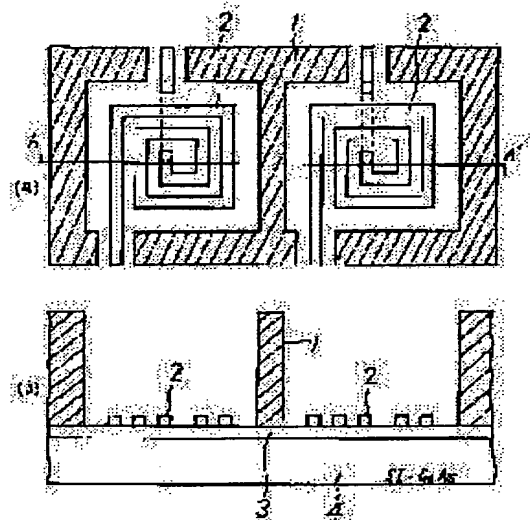
(72)Inventor : KAWAHISA KATSUE
 INOUE TOMOTOSHI
 ISHIDA KENJI
 NAGAOKA MASAMI

(54) SEMICONDUCTOR ANALOG INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce the occupation area of passive elements by a method wherein the wiring metal, on which a ground pattern is formed, is made larger than the metal thickness of the wiring where the passive elements are formed, and a ground pattern is provided between the passive elements.

CONSTITUTION: A silicon oxide film 3 is deposited on a semiconductor insulated GaAs substrate 4 as an insulating film, a Ti-Pt-Au laminated metal film is patterned on the silicon oxide film 3, and a spiral part 2, which becomes a passive element, is formed. Spiral parts 2 are arranged in such a manner that two of them are lined up side by side, and a spiral inductor is formed. A pattern is formed as ground 1 between each spiral inductor and on the circumference of the spiral inductor. The metal part of the earth 1 is formed by Au-plating, and its film thickness is thicker than the spiral part 2. As a result, the generation of inter-element interference is prevented, the distance between elements can be shortened and the monolithic microwave integrated circuit and the like can be made small in size.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

特開平7-74311

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

8832-4M

H 0 1 L 27/ 04

D

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平5-220364

(22) 出願日 平成5年(1993)9月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川久 克江

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 井上 智利

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 石田 賢二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 則近 憲佑

最終頁に続く

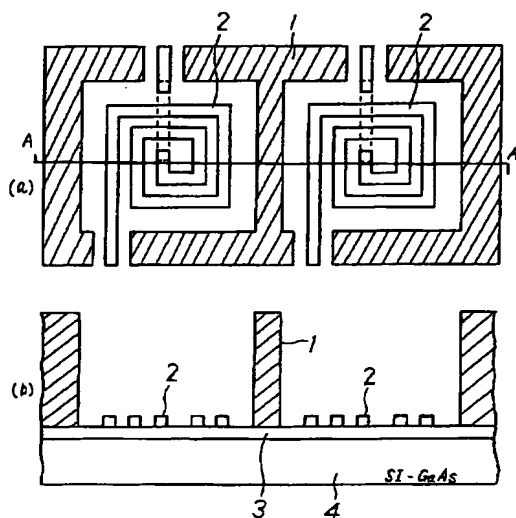
(54) 【発明の名称】 半導体アナログ集積回路

(57) 【要約】

【目的】 本発明は、アナログ集積回路のレイアウトにおいて、受動素子間の距離を低減し、より高性能で小型の半導体アナログ集積回路を提供することを目的とする。

【構成】 半導体アナログ集積回路を構成する受動素子の形成において、同一基板上に受動素子と接地用の配線パターンを形成し、受動素子を形成する配線のメタル厚よりも、接地用パターンを形成する配線のメタル厚のほうが大きく、受動素子と受動素子の間には接地用パターンが存在することを特徴とする。

【効果】 半導体アナログ集積回路を構成する受動素子のレイアウトにおいて、受動素子と受動素子の間には接地用パターンが存在し、しかも受動素子を形成する配線のメタル厚よりも、接地用パターンを形成する配線のメタル厚のほうが大きいいため、素子間干渉が起こりにくくなるため、素子間の距離を小さくすることができる。そのため、アナログ集積回路の小型化と高性能化が実現できる。



1

【特許請求の範囲】

【請求項1】半導体アナログ集積回路を構成する受動素子を形成する配線をメタル厚よりも、接地用パターンを形成する配線のメタル厚のほうが大きいことを特徴とする半導体アナログ集積回路。

【請求項2】半導体アナログ集積回路を構成する受動素子を形成する配線と、接地用パターンを形成する配線とが、同一基板上に形成されていることを特徴とする請求項1記載の半導体アナログ集積回路。

【請求項3】半導体アナログ集積回路を構成する受動素子が複数ある場合、受動素子と受動素子の間には接地用パターンが存在することを特徴とする請求項1記載の半導体アナログ集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体アナログ集積回路を構成する受動素子と接地のレイアウトに関する。

【0002】

【従来の技術】モノリシックマイクロ波集積回路(MMIC)の占有面積は、構成素子である受動素子によって大きく規定される。そのためMMICの小型化には、受動素子そのものを小型化する方法と、受動素子間の距離を小さくする方法が考えられる。

【0003】受動素子そのものを小型化する方法としては、多層化して占有面積を節約する方法が一般的であるが、多層化に伴う寄生容量などの寄生成分が付加しやすいため設計が難しい。一方、受動素子間の距離を小さくする方法は、小型化のためには有効であるが、距離を近づける程素子間干渉を引き起こしやすい、といった問題がある。

【0004】特に、インダクタンスどうしが近づくと相互インダクタンスが生じる。相互インダクタンスが生じると、各インダクタンスの間で信号パワーの漏洩が起るため、設計が非常に難しくなる。また、キャパシタンス間でも接近することにより、結合容量が生じる。

【0005】図3に、スパイラルインダクタ12、13を2つ並べてレイアウトしたパターンを示す。各スパイラルインダクタのインダクタンスは、 $L=5\text{ nH}$ である。またスパイラルインダクタの周辺には接地用のパターン11が在る。

【0006】図4に、図3のレイアウトにおけるインダクタ間の距離(1)と相互インダクタンス(M)の関係を、電磁解析シミュレーションで求めた結果を示す。即ち、 $l=200\text{ }\mu\text{m}$ では、 $M=0.1\text{ nH}$ であり、 $l=50\text{ }\mu\text{m}$ では $M=0.5\text{ nH}$ であり、 l が小さいほどMは大きくなる傾向が見られる。

【0007】この様に、素子間の配置は素子間干渉を考慮して、素子間に距離を設けなければならない。そのため、受動素子そのものを小型化しても、素子間距離を小さくすることが難しいため、MMICの小型化が難しい

2

といった問題があった。

【0008】

【発明が解決しようとする課題】以上のように従来のMMICにおいて、受動素子間の距離を小さくすると素子間干渉が起こるので、チップの小型化が困難であった。本発明は、このような点に鑑みなされたもので、MMICにおける受動素子の占有面積を減少し、より高性能で小型の半導体アナログ集積回路を提供することを目的とする。

【0009】

【課題を解決するための手段】半導体アナログ集積回路を構成する受動素子の形成において、同一基板上に受動素子と接地用の配線パターンを形成し、受動素子を形成する配線のメタル厚よりも、接地用パターンを形成する配線のメタル厚のほうが大きく、受動素子と受動素子の間には接地用パターンが存在することを特徴とする。

【0010】

【作用】本発明によれば、受動素子と受動素子の間には接地用パターンが存在し、しかも受動素子を形成する配線のメタル厚よりも、接地用パターンを形成する配線のメタル厚のほうが大きいため、素子間干渉を起りにくくなり、素子間の距離を小さくすることができる。そのため、MMICの小型化が実現できる。

【0011】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1の(a)は、本発明の半導体アナログ集積回路を構成するスパイラルインダクタを2つ並べてレイアウトしたパターンの一実施例を示す。各スパイラルインダクタのインダクタンスは、 $L=5\text{ nH}$ である。またスパイラルインダクタの周辺と各スパイラルインダクタの間には接地用のパターンが在る。

【0012】図1の(b)には図1の(a)のA-A'で見た断面図を示す。本実施例で形成した構造は、半絶縁GaAs基板4上絶縁膜としてシリコン酸化膜3を堆積し、この膜上にTi/Pt/Auの積層金属膜をパターンニングしたものである。スパイラル部2はこの金属膜のみで形成され、その膜厚は、約 $1\text{ }\mu\text{m}$ である。接地1とする金属部にはAuメッキにより膜厚を増やしてスパイラル部よりも厚くしてある。本実施例においてはスパイラル部の厚さに対して1.5~10倍の厚さのものを用了。

【0013】各スパイラルインダクタの間にある接地の幅(GW)は $50\text{ }\mu\text{m}$ である。接地の幅を一定にして、スパイラルインダクタ間の距離(1)を変えたパターンをそれぞれ試作した。

【0014】図2に、試作したパターンを測定して求めた、インダクタンス間の距離(1)と相互インダクタンス(M)の関係を示す(図中a)。また比較のために、接地部にAuメッキをせず、接地部とスパイラル部との膜厚が同じである場合(図中b)と、インダクタイン

3

ダクタの間に接地のパターンがない場合（図中c）、の結果についても示す。

【0015】スパイラルインダクタの間に接地パターンがない場合（図中c）、 $l = 200 \mu\text{m}$ では $M = 0.1 \text{ nH}$ であり、 $l = 50 \mu\text{m}$ では $M = 0.5 \text{ nH}$ であるのに対して、インダクタとインダクタの間に接地のパターンがあり、接地部とスパイラル部膜厚が等しい場合（図中b）は、 $l = 200 \mu\text{m}$ では $M = 0.036 \text{ nH}$ であり、 $l = 50 \mu\text{m}$ では $M = 0.16 \text{ nH}$ である。インダクタとインダクタの間に接地のパターンがあるほうが、

【0016】インダクタとインダクタの間に接地のパターンがあり、接地部が、スパイラル部よりも膜厚が大きい場合（図中a）は、 $l = 200 \mu\text{m}$ のとき $M = 0.02 \text{ nH}$ 、 $l = 50 \mu\text{m}$ のとき $M = 0.1 \text{ nH}$ である。接地とスパイラル部の膜厚が等しい場合に比べるとさらにMは小さくなった。

【0017】例えば、レイアウトする際、各スパイラルインダクタのインダクタンス（ $L = 5 \text{ nH}$ ）の $1/50$ である $M \leq 0.1 \text{ nH}$ を設計基準とすると、インダクタ間の距離（ l ）は、次のような条件が必要である。即ち、スパイラルインダクタの間に接地のパターンがない場合は、 $l \geq 200 \mu\text{m}$ が必要であり、インダクタとインダクタの間に接地パターンがあり、接地部とスパイラル部の膜厚が等しい場合は、 $l \geq 100 \mu\text{m}$ が必要であり、インダクタとインダクタの間に接地パターンがあり、接地部が、スパイラル部よりも膜厚が大きい場合は、 $l \geq 50 \mu\text{m}$ が必要である。

【0018】スパイラルインダクタの間に接地のパターンがない場合に比べると、インダクタとインダクタの間に接地のパターンがあり、接地部が、スパイラル部よりも膜厚が大きい場合は、インダクタ間の距離が $1/4$ （ $= 50 \mu\text{m} / 200 \mu\text{m}$ ）で済むことになる。

【0019】 $M \leq 0.1 \text{ nH}$ の設計基準でパワーアンプのMMICを上記の各デザインルールでレイアウトした。その結果スパイラルインダクタの間に接地のパター

4

ンがないデザインルールでレイアウトした場合、チップ面積は $3 \text{ mm} \times 3 \text{ mm}$ であった。インダクタとインダクタの間に接地パターンがあり、接地部とスパイラル部の膜厚が等しい場合、チップ面積は $2.2 \text{ mm} \times 2.2 \text{ mm}$ であった。また、インダクタとインダクタの間に接地のパターンがあり、接地部が、スパイラル部よりも膜厚が大きい場合、チップ面積は $1.7 \text{ mm} \times 1.7 \text{ mm}$ であった。そして、スパイラルインダクタの間に接地のパターンがない場合に比べると、インダクタとインダクタの間に接地パターンがあり、接地部が、スパイラル部よりも膜厚が大きい場合は、チップ面積が $(1.7 \times 1.7) / (3 \times 3) = 0.32$ と約 $1/3$ になった。

【0020】なお、接地部の膜厚が、スパイラル部の膜厚の1.5倍以上であれば、干渉を抑制する効果が現れ、その効果は接地部の膜厚がスパイラル部の膜厚よりも大きいほど顕著である。

【0021】

【発明の効果】以上説明したように本発明によれば、半導体アナログ集積回路を構成する受動素子のレイアウトにおいて、受動素子と受動素子の間には接地用パターンが存在し、しかも受動素子を形成する配線のメタル厚よりも、接地用パターンを形成する配線のメタル厚のほうが大きい場合、素子間干渉が起これにくくなるため、素子間の距離を小さくすることができる。そのため、アナログ集積回路の小型化と高性能化が実現できる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す構成説明図。

【図2】 本発明の実施例の素子間距離と相互インダクタンスの関係を示す線図。

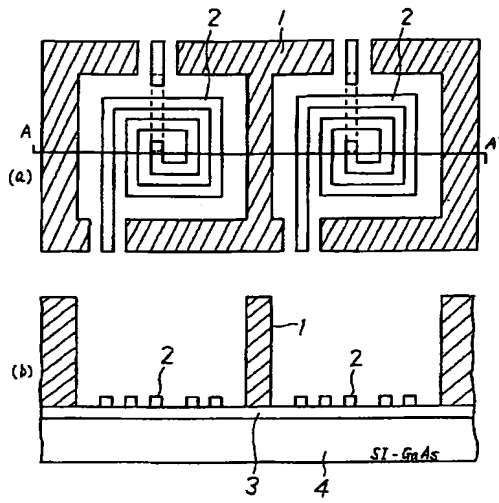
【図3】 従来のレイアウト図。

【図4】 従来の素子間距離と相互インダクタンスの関係を示す線図。

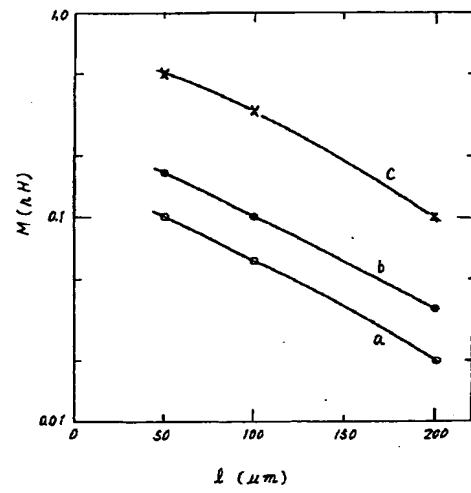
【符号の説明】

1…接地部 2…スパイラル部 3…シリコン酸化膜、
4…半絶縁製GaAs基板。

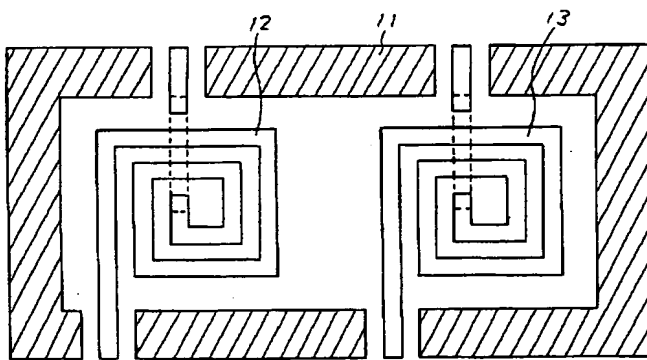
【図1】



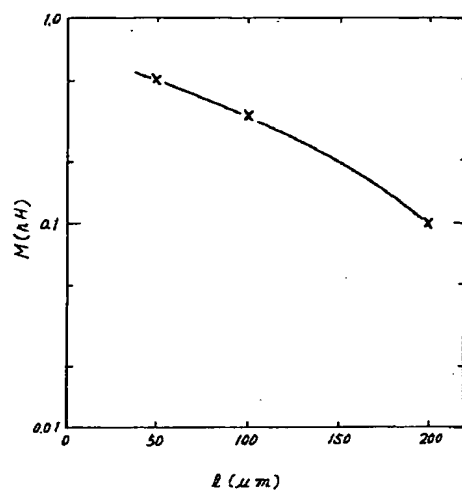
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 長岡 正見
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内